

PAT-NO: JP02001111056A

DOCUMENT-IDENTIFIER: JP 2001111056 A

TITLE: SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURING METHOD

PUBN-DATE: April 20, 2001

INVENTOR-INFORMATION:

NAME

KUNIKIYO, TATSUYA

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP11285269

APPL-DATE: October 6, 1999

INT-CL (IPC): H01L029/786, H01L021/76 , H01L027/08

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a semiconductor that can improve separation characteristics and breakdown voltages by suppressing a leak current being generated between adjacent transistors via the separation oxide film with partial STI structure in the semiconductor device in SOI structure, and its manufacturing method.

SOLUTION: An impurity layer 12 is formed on a surface where a semiconductor substrate 1 in SOI structure that consists of the semiconductor substrate 1, a

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-111056

(P2001-111056A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) IntCl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 29/786		H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
21/76			3 3 1 E 5 F 0 4 8
27/08	3 3 1	29/78	6 2 1 5 F 1 1 0
		21/76	M

審査請求 未請求 請求項の数13 O L (全 22 頁)

(21) 出願番号 特願平11-285269

(22) 出願日 平成11年10月6日 (1999.10.6)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 國清 辰也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外2名)

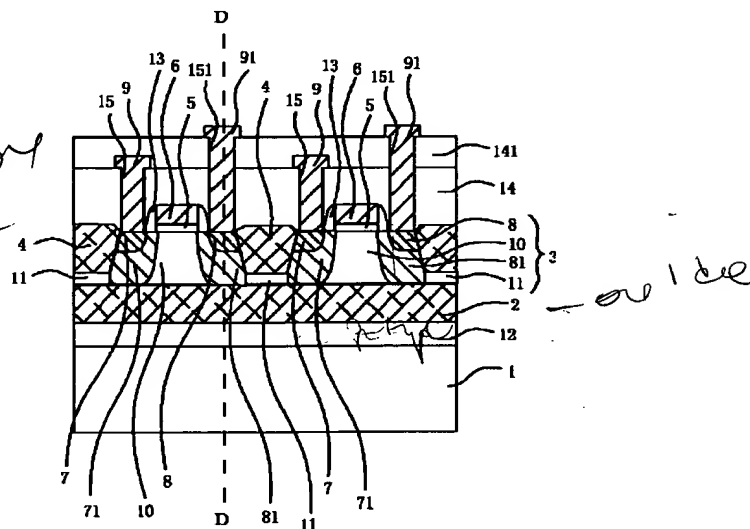
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 SOI 構造の半導体装置において、パーシャルSTI構造の分離酸化膜を介して隣接するトランジスタ間に発生するリーク電流を抑制することによって、分離特性および耐圧が向上した半導体装置およびその製造方法を得ることを目的とする。

【解決手段】 半導体基板1、埋込酸化膜2および半導体層3からなるSOI構造の半導体基板1が埋込酸化膜2と接する表面に不純物層12を形成する。



1 : 半導体基板  
2 : 埋込酸化膜

11 : チャネルカット層  
12 : 不純物層

## 【特許請求の範囲】

【請求項1】 半導体基板と、埋込酸化膜と、半導体層からなるSOI基板を備え、前記半導体層の主表面に配設された第1および第2の活性領域を取り囲み、前記埋込酸化膜と所定の距離を隔てて形成された分離絶縁膜と、前記第1の活性領域に形成された第1の能動素子と、前記第2の活性領域に形成された第2の能動素子と、前記埋込酸化膜との界面近傍の前記半導体基板の一主面に形成された不純物層と、前記不純物層に電氣的に接続する配線とを備えたことを特徴とする半導体装置。

【請求項2】 不純物層および半導体層は第1の導電型であり、

第1の能動素子は、第1の活性領域の主表面から埋込酸化膜に到達する第2導電型の第1のソース領域およびドレイン領域を有するMOS型トランジスタであり、

第2の能動素子は、第2の活性領域の主表面から前記埋込酸化膜に到達する第2導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、前記不純物層および分離絶縁膜下の前記半導体層の電位が固定されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 不純物層および半導体層は第1の導電型であり、

第1の能動素子は、第1の活性領域の主表面から埋込酸化膜に到達する第2導電型の第1のソース領域およびドレイン領域を有するMOS型トランジスタであり、

第2の能動素子は、第2の活性領域の主表面から前記埋込酸化膜に到達する第2導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、前記不純物層の電位が固定され、分離絶縁膜下の前記半導体層の電位が固定されていないことを特徴とする請求項1記載の半導体装置。

【請求項4】 半導体層は第1の導電型で、不純物層は第2の導電型であり、

第1の能動素子は、第1の活性領域の主表面から埋込酸化膜と所定の距離を隔てて形成された第2導電型の第1のソース領域およびドレイン領域を有するMOS型トランジスタであり、

第2の能動素子は、第2の活性領域の主表面から前記埋込酸化膜と所定の距離を隔てて形成された第2導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、

前記不純物層に印加される電圧は、半導体基板に対して逆バイアスであることを特徴とする請求項1記載の半導体装置。

【請求項5】 分離絶縁膜下の半導体層表面から埋込酸化膜に到達し、互いに隣接して逆バイアスとなる電圧がそれぞれ印加される第1導電型の第1の不純物領域およ

び第2の導電型の第2の不純物領域をさらに備え、第1の能動素子は、第1の活性領域の主表面から埋込酸化膜に到達し、いずれか一方が前記第1の不純物領域と隣接する第2導電型の第1のソース領域およびドレイン領域を有するMOS型トランジスタであり、

第2の能動素子は、第2の活性領域の主表面から前記埋込酸化膜に到達し、いずれか一方が前記第2の不純物領域と隣接する第1導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、

10 不純物層に印加される電圧は、半導体基板に対して逆バイアスであることを特徴とする請求項1記載の半導体装置。

【請求項6】 分離絶縁膜下の半導体層表面から埋込酸化膜に到達し、互いに隣接して逆バイアスとなる電圧がそれぞれ印加される第1導電型の第1の不純物領域および第2の導電型の第2の不純物領域をさらに備え、

第1の能動素子は、前記第1の不純物領域と隣接する第2導電型の第3の不純物領域と、この第3の不純物領域に隣接する第1導電型の第4の不純物領域を備えたダイオードであり、

20 第2の能動素子は、前記第2の不純物領域と隣接する第1導電型の第5の不純物領域と、この第5の不純物領域に隣接する第2導電型の第6の不純物領域を備えたダイオードであり、

不純物層に印加される電圧は、半導体基板に対して逆バイアスであることを特徴とする請求項1記載の半導体装置。

【請求項7】 不純物層が活性領域の下まで延在することを特徴とする請求項1ないし請求項6のいずれか一項に記載の半導体装置。

30 【請求項8】 第1の能動素子および第2の能動素子が形成された機能ブロックと異なる機能ブロックをさらに備えたことを特徴とする請求項1ないし請求項7のいずれか一項に記載の半導体装置。

【請求項9】 半導体基板表面上に埋込酸化膜を介して形成された半導体層を有するSOI基板の前記半導体基板表面に不純物層を形成する工程と、

前記半導体層の主表面に配設された第1および第2の活性領域を取り囲み、その下に前記半導体層の一部が残る分離絶縁膜を形成する工程と、

40 前記第1の活性領域に、第1の能動素子を形成する工程と、

前記第2の活性領域に、第2の能動素子を形成する工程と、

前記不純物層に接続する配線を形成する工程とを備えた半導体装置の製造方法。

【請求項10】 第1の能動素子と第2の能動素子は、同一導電型を有するMOS型トランジスタであり、

50 分離絶縁膜を形成する工程は、半導体層の活性領域表面上を覆うマスクを形成して前記半導体層主表面から底部

を残してエッチングし、活性領域を取り囲む溝を形成する工程と、  
全面に絶縁膜を形成する工程と、  
前記マスク表面上の前記絶縁膜を除去する工程と、  
前記マスクを除去する工程とを備え、  
前記溝を形成する工程の後、前記絶縁膜を形成する工程の前に、前記溝下の前記半導体層中に前記半導体層と同一導電型で高濃度の不純物をイオン注入する工程をさらに備えたことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 第1の能動素子は第1の導電型を有するMOS型トランジスタで、第2の能動素子は第2の導電型を有するMOS型トランジスタであり、分離絶縁膜を形成する工程の後、第1の能動素子を形成する工程の前に、  
前記第1の能動素子の前記分離絶縁膜上に開口を有する第1のマスクを形成する工程と、  
全面に第2の導電型を有する不純物を全面にイオン注入して、前記第1の能動素子の前記分離絶縁膜下の半導体層に第1の不純物領域を形成する工程と、  
前記第1のマスクを除去する工程と、  
前記第1の能動素子の前記分離絶縁膜上に開口を有する第1のマスクを形成する工程と、  
全面に第2の導電型を有する不純物を全面にイオン注入して、前記第1の能動素子の前記分離絶縁膜下の半導体層に第1の不純物領域を形成し、前記第1のマスクを除去する工程と、  
前記第2の能動素子の前記分離絶縁膜上に開口を有する第2のマスクを形成する工程と、  
全面に第1の導電型を有する不純物を全面にイオン注入して、前記第2の能動素子の前記分離絶縁膜下の半導体層に第2の不純物領域を形成し、前記第2のマスクを除去する工程とを備えたことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 半導体基板表面上に埋込酸化膜を介して形成された半導体層の主表面に配設された第1および第2の活性領域表面上を覆うマスクを形成して前記半導体層主表面から底部を残してエッチングし、前記第1および第2の活性領域を取り囲む溝を形成する工程と、  
前記溝下の前記半導体基板中に不純物をイオン注入して、前記半導体基板の表面に不純物層を形成する工程と全面に絶縁膜を形成する工程と、  
前記マスク表面上の前記絶縁膜を除去する工程と、  
前記マスクを除去する工程と、  
前記第1の活性領域に、第1の能動素子を形成する工程と、  
前記第2の活性領域に、第2の能動素子を形成する工程と、  
前記不純物層に接続する配線を形成する工程とを備えた半導体装置の製造方法。

【請求項13】 第1の能動素子と第2の能動素子は、同一導電型を有するMOS型トランジスタであり、溝を形成する工程の後、絶縁膜を形成する工程の前に、溝下の半導体層中に前記半導体層と同一導電型で高濃度の不純物をイオン注入する工程をさらに備えたことを特徴とする請求項12記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、SOI (Silicon On Insulator) 構造の半導体装置およびその製造方法に関し、特に、その底面が埋込酸化膜まで到達しない分離絶縁膜（以下パーシャルSTI (Partial Shallow Trench Isolation) と称す）を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】半導体基板、埋込酸化膜および半導体層からなるSOI構造を有する半導体装置は、埋込酸化膜と、その底面が埋込酸化膜まで到達する素子分離（以下フルSTI (Full Shallow Trench Isolation) と称す）によって、活性領域が取り囲まれているため、CMOSトランジスタを形成してもラッチアップが起こる心配がなく、また、ソース・ドレイン領域が埋込酸化膜に接しているため、半導体基板表面に直接トランジスタが形成された半導体装置に比べて接合容量が小さく、高速動作が可能であるとともに、スタンバイ時のリーク電流も小さくなり、消費電力を抑制することができるという利点を有している。しかし、埋込酸化膜表面上に形成された半導体層の膜厚が、例えば0.15μm以上ある場合には、衝突電離現象によって発生するキャリア（nMOSではホール、pMOSでは電子）がチャネル形成領域の下方の半導体層内に溜まり、これによりキックが発生したり、動作耐圧が劣化したり、また、チャネル領域の電位が安定しないために遅延時間の周波数依存性が出る等の基板浮遊効果により生ずる種々の問題点があるため、一般的にはチャネル形成領域の電位を固定している。特開昭58-124,243号公報には、このように、チャネル形成領域の電位が固定された半導体装置が開示されている。

【0003】近年では、さらに各トランジスタ毎にチャネル形成領域の電位を固定するのではなく、同一導電型の複数のトランジスタのチャネル形成領域の電位を一括して固定するために、パーシャルSTIによって分離を行って微細化を図っており、この構造は、IEEE International SOI Conference, Oct. 1997などに開示されている。

【0004】図26は従来の半導体装置を示す上面図であり、図において、104は分離絶縁膜、106はゲート電極、107および108はソース・ドレイン領域、109は配線である。図に示したように、パーシャルSTIの場合、同一導電型の複数のトランジスタに対し

て、チャネル形成領域の電位を固定するための配線109が形成される。図27は従来の半導体装置を示す断面図であり、図26のX-X断面における断面図である。図において、101は半導体基板、102は埋込酸化膜、1010はチャネル形成領域、105はゲート絶縁膜、103は半導体層、1011はチャネルカット層である。図に示したように、隣接する二つのトランジスタ間の分離絶縁膜104は埋込酸化膜102に到達しておらず、分離絶縁膜104下には、チャネル形成領域1010と同一導電型の高濃度の不純物を含むチャネルカット層1011が形成されている。そして、二つのチャネル形成領域1010が、チャネルカット層1011を介してつながった状態となっており、これが配線109と接続してチャネル形成領域1010の電位を固定している。

【0005】

【発明が解決しようとする課題】しかしながら、パッシバルSTI構造では、素子間分離耐圧が低いため、隣接するトランジスタのソース・ドレイン領域に接続するそれぞれの配線（図示せず）のいずれか一方にソース電圧、他方にドレイン電圧が印加されるなど、チャネルカット層を介して隣接するソース・ドレイン領域間に電位差が発生する場合には、チャネルカット層に比較的大きなリーク電流が流れることがあるため、素子間分離幅を大きく取らなければならない、微細化を妨げてしまうという問題点があった。

【0006】図28は従来の半導体装置を示す断面図であり、図26のY-Y断面における断面図である。この図からもわかるように、隣接するトランジスタのソース・ドレイン領域間は分離絶縁膜104が埋込酸化膜102に達していないため、チャネルカット層1011を介してリーク電流が流れることがある。

【0007】本発明は、上記した課題を解決するためになされたもので、複数のトランジスタのチャネル形成領域の電圧を一括して固定することができるパッシバルSTI構造の分離絶縁膜を備えた半導体装置において、この分離絶縁膜下のチャネルカット層を介して流れるリーク電流を抑制し、分離特性および耐圧の向上した半導体装置およびその製造方法を得ることを目的とするものである。

【0008】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、埋込酸化膜と、半導体層からなるSOI基板を備え、半導体層の主表面に配設された第1および第2の活性領域を取り囲み、埋込酸化膜と所定の距離を隔てて形成された分離絶縁膜と、第1の活性領域に形成された第1の能動素子と、第2の活性領域に形成された第2の能動素子と、埋込酸化膜との界面近傍の半導体基板の一主面に形成された不純物層と、不純物層に電気的に接続する配線とを備えたことを特徴とするもの

であり、不純物層が形成されているため、分離絶縁膜を介して隣接するトランジスタ間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができる。

【0009】さらに、不純物層および半導体層は第1の導電型であり、第1の能動素子は、第1の活性領域の主表面から埋込酸化膜に到達する第2導電型の第1のソース領域およびドレイン領域を有するMOS型トランジスタであり、第2の能動素子は、第2の活性領域の主表面から埋込酸化膜に到達する第2導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、不純物層および分離絶縁膜下の半導体層の電位が固定されていることを特徴とするもので、分離絶縁膜下の半導体層の電位を固定するとともに、半導体基板表面の不純物層をトランジスタと逆導電型で形成して電位固定しているため、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができる。

【0010】また、不純物層および半導体層は第1の導電型であり、第1の能動素子は、第1の活性領域の主表面から埋込酸化膜に到達する第2導電型の第1のソース領域およびドレイン領域を有するMOS型トランジスタであり、第2の能動素子は、第2の活性領域の主表面から埋込酸化膜に到達する第2導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、不純物層の電位が固定され、分離絶縁膜下の半導体層の電位が固定されていないことを特徴とするもので、分離絶縁膜下の半導体層の電位を固定せずに、隣接するトランジスタのチャネル形成領域をフローティングにして共用することによって、互いのしきい値電圧を精度よくそろえることができるとともに、分離絶縁膜下の半導体基板表面に、トランジスタと逆導電型の不純物層を形成して電位固定しているため、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができる。

【0011】また、半導体層は第1の導電型で、不純物層は第2の導電型であり、第1の能動素子は、第1の活性領域の主表面から埋込酸化膜と所定の距離を隔てて形成された第2導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、第2の能動素子は、第2の活性領域の主表面から埋込酸化膜と所定の距離を隔てて形成された第2導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、不純物層に印加される電圧は、半導体基板に対して逆バイアスであることを特徴とするもので、ソース・ドレイン領域が埋込酸化膜まで達していない構造の場合に、半導体基板に対して逆バイアスがかかる電圧を不純物層に印加することによって、分離絶縁膜を介して隣接

するトランジスタのソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができる。

【0012】また、分離絶縁膜下の半導体層表面から埋込酸化膜に到達し、互いに隣接して逆バイアスとなる電圧がそれぞれ印加される第1導電型の第1の不純物領域および第2の導電型の第2の不純物領域をさらに備え、第1の能動素子は、第1の活性領域の主表面から埋込酸化膜に到達し、いずれか一方が第1の不純物領域と隣接する第2導電型の第1のソース領域およびドレイン領域を有するMOS型トランジスタであり、第2の能動素子は、第2の活性領域の主表面から埋込酸化膜に到達し、いずれか一方が第2の不純物領域と隣接する第1導電型の第2のソース領域およびドレイン領域を有するMOS型トランジスタであり、不純物層に印加される電圧は、半導体基板に対して逆バイアスであることを特徴とするもので、第1、第2の不純物領域および不純物層の電位を固定しているため、分離絶縁膜を介して隣接するソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制するとともに、耐圧を高くすることができる。

【0013】また、分離絶縁膜下の半導体層表面から埋込酸化膜に到達し、互いに隣接して逆バイアスとなる電圧がそれぞれ印加される第1導電型の第1の不純物領域および第2の導電型の第2の不純物領域をさらに備え、第1の能動素子は、第1の不純物領域と隣接する第2導電型の第3の不純物領域と、この第3の不純物領域に隣接する第1導電型の第4の不純物領域を備えたダイオードであり、第2の能動素子は、第2の不純物領域と隣接する第1導電型の第5の不純物領域と、この第5の不純物領域に隣接する第2導電型の第6の不純物領域を備えたダイオードであり、不純物層に印加される電圧は、半導体基板に対して逆バイアスであることを特徴とするもので、第1、第2の不純物領域および不純物層を形成して電位を固定しているため、分離絶縁膜を介して隣接するダイオードの逆導電型の不純物領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制するとともに、耐圧を高くすることができる。

【0014】さらに、不純物層が活性領域の下まで延在することを特徴とするものであり、半導体基板表面に形成された不純物層によって、ソース・ドレイン領域形成の際に注入された不純物が、埋込酸化膜を突き抜けて半導体基板にまで達しても、不純物層に取り込まれて電位固定されるため、回路誤動作の原因になる恐れがなく、半導体装置の信頼性が向上するという効果を奏する。

【0015】加えて、第1の能動素子および第2の能動素子が形成された機能ブロックと異なる機能ブロックをさらに備えたことを特徴とするものであり、機能ブロックの中で、チャネル形成領域の電位を共通に固定する必要が有る部分には、パーシャルSTIで分離された第1

および第2の能動素子が、必要とされる機能に応じて形成され、それに合わせた不純物層の導電型および印加する電圧を決定することができる。

【0016】また、半導体基板表面上に埋込酸化膜を介して形成された半導体層を有するSOI基板の半導体基板表面に不純物層を形成する工程と、半導体層の主表面に配設された第1および第2の活性領域を取り囲み、その下に半導体層の一部が残る分離絶縁膜を形成する工程と、第1の活性領域に、第1の能動素子を形成する工程と、第2の活性領域に、第2の能動素子を形成する工程と、不純物層に接続する配線を形成する工程とを備えたものであり、配線を介して不純物層の電位が固定できる半導体装置を製造することができる。さらに、不純物層を分離領域のみでなく、活性領域下にまで形成することができるため、不純物領域形成の際にイオン注入された不純物が、埋込酸化膜を突き抜けて半導体基板にまで達しても、不純物層に取り込んでしまうため、回路誤動作の原因になる恐れがなく、信頼性の向上した半導体装置の製造方法を得ることができる。

【0017】さらに、第1の能動素子と第2の能動素子は、同一導電型を有するMOS型トランジスタであり、分離絶縁膜を形成する工程は、半導体層の活性領域表面上を覆うマスクを形成して半導体層主表面から底部を残してエッチングし、活性領域を取り囲む溝を形成する工程と、全面に絶縁膜を形成する工程と、マスク表面上の絶縁膜を除去する工程と、マスクを除去する工程とを備え、溝を形成する工程の後、絶縁膜を形成する工程の前に、溝下の半導体層中に半導体層と同一導電型で高濃度の不純物をイオン注入する工程をさらに備えたことを特徴とするもので、分離絶縁膜下の半導体層に半導体層よりも高濃度の不純物をイオン注入してチャネルカット層を形成しているため、分離特性がより一層向上した半導体装置を得ることができる。

【0018】また、第1の能動素子は第1の導電型を有するMOS型トランジスタで、第2の能動素子は第2の導電型を有するMOS型トランジスタであり、分離絶縁膜を形成する工程の後、第1の能動素子を形成する工程の前に、第1の能動素子の分離絶縁膜上に開口を有する第1のマスクを形成する工程と、全面に第2の導電型を有する不純物を全面にイオン注入して、第1の能動素子の分離絶縁膜下の半導体層に第1の不純物領域を形成する工程と、第1のマスクを除去する工程と、第1の能動素子の分離絶縁膜上に開口を有する第1のマスクを形成する工程と、全面に第2の導電型を有する不純物を全面にイオン注入して、第1の能動素子の分離絶縁膜下の半導体層に第1の不純物領域を形成し、第1のマスクを除去する工程と、第2の能動素子の分離絶縁膜上に開口を有する第2のマスクを形成する工程と、全面に第1の導電型を有する不純物を全面にイオン注入して、第2の能動素子の分離絶縁膜下の半導体層に第2の不純物領域を

形成し、第2のマスクを除去する工程とを備えたことを特徴とするもので、pMOSトランジスタとnMOSトランジスタのソース・ドレイン領域の一方と、分離絶縁膜下に形成された第1、第2の不純物領域がpnpnとなるように配設された半導体装置を得ることができる。

【0019】また、半導体基板表面上に埋込酸化膜を介して形成された半導体層の主表面に配設された第1および第2の活性領域表面上を覆うマスクを形成して半導体層主表面から底部を残してエッチングし、第1および第2の活性領域を取り囲む溝を形成する工程と、溝下の半導体基板中に不純物をイオン注入して、半導体基板の表面に不純物層を形成する工程と全面に絶縁膜を形成する工程と、マスク表面上の絶縁膜を除去する工程と、マスクを除去する工程と、第1の活性領域に、第1の能動素子を形成する工程と、第2の活性領域に、第2の能動素子を形成する工程と、不純物層に接続する配線を形成する工程とを備えたものであり、配線を介して不純物層の電位が固定できる半導体装置を製造することができる。

【0020】さらに、第1の能動素子と第2の能動素子は、同一導電型を有するMOS型トランジスタであり、溝を形成する工程の後、絶縁膜を形成する工程の前に、溝下の半導体層中に半導体層と同一導電型で高濃度の不純物をイオン注入する工程をさらに備えたことを特徴とするもので、分離絶縁膜下の半導体層に半導体層よりも高濃度の不純物をイオン注入してチャネルカット層を形成しているため、分離特性がより一層向上した半導体装置を得ることができる。

【0021】

【発明の実施の形態】実施の形態1. 図1はこの発明の実施の形態1に係る半導体装置の断面図であり、図1において、1はp型の半導体基板、2は埋込酸化膜、3は半導体層、4は分離絶縁膜、5はゲート絶縁膜、6はゲート電極、7、8、71および81はソース・ドレイン領域、9および91は配線、10はチャネル形成領域、11はチャネルカット層、12は不純物層、13はサイドウォール、14および141は層間絶縁膜、15および151はコンタクトホールであり、ソース・ドレイン領域7、8、71、81およびチャネルカット層11は半導体層3に不純物を注入して形成されている。半導体基板1、埋込酸化膜2および半導体層3は、いわゆるSOI基板を構成しており、その形成方法は、張り合わせ法やSIMOX法など、いずれの方法でもかまわない。

【0022】半導体層3の厚さが30~200nm程度、埋込酸化膜2の膜厚が0.04~0.4μm程度の場合、チャネルカット層11はボロンなどのp型不純物を $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ 程度、不純物層12はボロンなどのp型の不純物を $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ 程度、チャネル形成領域10はボロンなどのp型不純物を $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ 程度をそれぞれ含んでいる。チャネルカット層11の濃度は、チャ

ネル形成領域10と同じにしてもよいが、濃度が高いほど分離特性は向上する。また、ソース・ドレイン領域7および8はヒ素などのn型不純物を $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ 程度含み、ソース・ドレイン領域71および81はリンやヒ素などのn型不純物を $1 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^3$ 程度含んで埋込酸化膜2まで延び、LDD (Lightly Doped Drain) 構造となっている。ゲート電極6は、リンなどのn型不純物を $2 \sim 1.5 \times 10^{20} / \text{cm}^3$ 程度含んだポリシリコンで形成されているが、これ以外にも、不純物を含んだポリシリコンとWSi<sub>x</sub>などの金属シリサイド層との積層構造でも、W、Mo、Cu、Alなどの金属でもよい。また、ゲート電極6およびソース・ドレイン領域7および8の表面にはコバルトシリサイドが形成されていてもよい(図示せず)。

【0023】半導体層3に形成されたチャネルカット層11とシリコン酸化膜などの分離絶縁膜4からなる部分分離領域によって、トランジスタが1個または複数個形成された活性領域が取り囲まれて互いに分離されており、分離幅は200nm~500nm程度である。また、分離絶縁膜4の膜厚は、その下のチャネルカット層11の膜厚が10~100nm程度となるように設定する。そして、分離絶縁膜4の上面は半導体層3の表面と同一であることが微細加工上好ましいが、半導体層3が薄い場合は、チャネルカット層11の膜厚を十分に残そうとすると、素子分離に必要な膜厚を取ることが難しくなるため、分離絶縁膜4の上面を半導体層3表面よりも高く形成した方が素子分離性能が向上する。また、半導体層3と分離絶縁膜4の間には、必要に応じて5~30nm程度のシリコン酸化膜が形成されている(図示せず)。ここでは、分離領域にシリコン酸化膜を用いているが、シリコン窒化膜、シリコン酸化窒化膜やシリコン酸化弗化膜(SiOF)など、他の絶縁膜でもかまわない。ゲート絶縁膜5としては、SiO<sub>2</sub>、SiON、SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>(ONO)構造、Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub>などがある。

【0024】また、図2はこの発明の実施の形態1にかかる半導体装置の上面図であり、図1は、図2に示したA-A断面における断面図である。図2において、92ないし94は配線、111は不純物領域である。配線92はゲート電極6に電気的に接続してゲート電圧を与え、配線93は不純物領域111に電気的に接続している。図3は、この発明の実施の形態1に係る半導体装置の断面図であり、図2に示したB-B断面における断面図である。図において、152はコンタクトホールである。図を参照して、不純物領域111には、配線93を通して電圧が印加され、チャネルカット層11を介して接続するチャネル形成領域10の電位を固定する。不純物領域111はチャネル形成領域10と同一導電型の不純物を含んでおり、その不純物濃度については、チャネル形成領域と同程度でもよいが、さらに高濃度の方が、

低抵抗に抑えることができる。

【0025】また、図4はこの発明の実施の形態1に係る半導体装置の断面図であり、図2に示したC-C断面における断面図である。図において、95は配線、153および154はコンタクトホールである。図を参照して、配線94は層間絶縁膜14および141に形成されたコンタクトホール153内を埋め込んで形成されており、半導体層3、埋込酸化膜2に形成されたコンタクトホール154内を埋め込んで形成された配線95を介して、不純物層12に接続し、不純物層12の電位を固定している。不純物層12と、チャネル形成領域10はそれぞれに制御されるため、この配線95が形成されるためのコンタクトホール154が形成される半導体層3の周囲を取り囲む分離絶縁膜4は、すべてフルSTIであり、素子が形成された半導体層3とは完全に分離されている。

【0026】図5はこの発明の実施の形態1に係る半導体装置に含まれる不純物の濃度分布を示すグラフであり、図1に示したD-D断面で半導体層3、埋込酸化膜2および半導体基板1に含まれる不純物の濃度分布を示している。不純物層12を形成するために注入されたボロンは、様々な工程の熱処理によって表面へと偏析するため、図に示したような分布を有している。

【0027】次に動作について説明する。図1を参照して、例えばnMOSトランジスタの場合、各電極に印加する電圧は、 $V_G=0\sim1.8V$ 、 $V_D=0\sim1.8V$ 、 $V_S=0V$ 、 $V_B=0\sim-1V$ 程度であり、ゲート電極5下のチャネル形成領域10表面にチャネルが形成され、ソース・ドレイン領域7および71、またはソース・ドレイン領域8および81の一方がソース領域、他方がドレイン領域となり、回路として動作する。この時、チャネル形成領域10には0V、不純物層12には1Vまたは-1Vがそれぞれ印加されている。これらの電圧は一例であり、ゲート絶縁膜厚やゲート長によって変動するものである。また、埋込酸化膜2の膜厚が厚くなると、不純物層12に印加する電圧の絶対値は大きくなり、埋込酸化膜2の膜厚が薄くなると、不純物層12に印加する電圧の絶対値は小さくなる。

【0028】図6は、この発明の実施の形態1に係る半導体装置のリーク電流を示すグラフであり、図1に示した半導体装置において、半導体層3の膜厚を $0.15\mu m$ 、埋込酸化膜2の厚さを $40nm$ 、分離絶縁膜4の幅を $0.2\mu m$ としてシミュレーションしたものである。このグラフにおいては、分離絶縁膜4を介して隣接するトランジスタのソース・ドレイン領域7および71と、8および81との間に発生する電位差を横軸、この間に発生したリーク電流を縦軸に取ったものである。図中、○は不純物層12が形成されていない場合、□は不純物層12に-1Vを印加した場合、△は不純物層12に1Vを印加した場合をそれぞれ表している。この図から、

不純物層12を形成することによって、リーク電流が減少し、耐圧も向上していることがわかる。

【0029】この実施の形態においては、不純物層12が全面に形成された図によって説明を行ったが、不純物層12は、素子分離としてパーシャルSTIが用いられている部分の下部だけに形成されていれば、分離特性を向上させることができる。また、ここでは、nMOSトランジスタが隣接する部分の一例について説明を行ったが、pMOSトランジスタが隣接する部分でも同様であり、同一導電型のソース・ドレイン領域7、71および8、81がパーシャルSTIを介して隣接している部分で、回路配置によって電位差が生まれる部分にはすべて適用できる。pMOSトランジスタの場合は、半導体基板1を除く各不純物領域の導電型が逆になり、印加する電圧もそれぞれ、 $V_G=0\sim1.8V$ 、 $V_D=0\sim1.8V$ 、 $V_S=1.8V$ 、 $V_B=1.8V$ 程度、チャネル形成領域10には $1.8V$ 、不純物層12には $\pm 1V$ となるが、ゲート電極6のポリシリコンに含まれる不純物についてはn型の場合もある。さらに、この実施の形態においては、配線9および91～94の配置についての一例を示しているが、回路の構成によって、トランジスタとの間に形成される層間絶縁膜の層数、配置などは異なるものであり、また、一つの活性領域に一つのトランジスタが形成された半導体装置を用いて説明を行っているが、特にこれに限られるものではない。

【0030】この半導体装置によれば、埋込酸化膜上に形成され、同一導電型を有する複数のトランジスタを互いに分離するパーシャルSTI構造の分離絶縁膜4下の半導体基板表面に、トランジスタと逆導電型の不純物層を形成して電位固定しているため、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。また、不純物層12が分離絶縁膜下のみでなく、ソース・ドレイン領域71および81下まで延びて形成されている場合は、ソース・ドレイン領域形成の際に注入された不純物が、埋込酸化膜2を突き抜けて半導体基板1にまで達しても、不純物層12に取り込まれて電位が固定されているため、回路誤動作の原因になる恐れがなく、半導体装置の信頼性が向上するという効果を奏する。

【0031】また、センスアンプ（交差結合型アンプ）などとして使用されるトランジスタは高い感度が要求されるので、隣接するトランジスタのチャネル形成領域をフローティングにして共用することによって、互いのしきい値電圧を精度よくそろえることができる。このような場合は、他のトランジスタの影響を受けないようにするため、共用したいトランジスタ間の分離のみをパーシャルSTIとし、他の部分との分離はフルSTIとす



る。よって、チャネル形成領域をフローティングにする部分の断面図は図1に示したものと同様である。図7は、この発明の実施の形態1に係る半導体装置のリーク電流を示すグラフであり、図1に示した半導体装置において、半導体層3の膜厚を $0.15\mu\text{m}$ 、埋込酸化膜2の厚さを $40\text{nm}$ 、分離絶縁膜4の幅を $0.2\mu\text{m}$ としてシミュレーションしたものであり、チャネル形成領域10には電圧が印加されていない、すなわち、ボディがフローティングの状態である。このグラフにおいては、分離絶縁膜4を介して隣接するトランジスタのソース・ドレイン領域7および71と、8および81との間に発生する電位差を横軸、この間に発生したリーク電流を縦軸に取ったものである。図中、○は不純物層12が形成されていない場合、▲は不純物層12に1Vを印加した場合をそれぞれ表している。この図から、不純物層12を形成して1Vを印加することによって、耐圧が向上していることがわかる。ここでは、チャネル形成領域をフローティングにする例としてセンスアンプをあげているが、センスアンプとして使用されるトランジスタであってもチャネル形成領域の電位を固定する場合があることは言うまでもない。

【0032】ここでは、nMOSトランジスタが隣接する部分の一例について説明を行ったが、pMOSトランジスタが隣接する部分でも同様であり、同一導電型のソース・ドレイン領域7、71および8、81がパーシャルSTIを介して隣接している部分で、回路配置によって電位差が生まれる部分にはすべて適用できる。pMOSトランジスタの場合は、各不純物領域の導電型が逆になり、印加する電圧もそれぞれ、 $V_G=0\sim 1.8\text{V}$ 、 $V_D=0\sim 1.8\text{V}$ 、 $V_S=1.8\text{V}$ 、 $V_B=1.8\text{V}$ 程度、不純物層12には $-1\text{V}$ となり、配線93および不純物領域111は形成されても、されなくてもよい。

【0033】上記したように電圧が印加される半導体装置においては、埋込酸化膜上に形成され、同一導電型を有する複数のトランジスタを互いに分離するパーシャルSTI構造の分離絶縁膜を介して隣接するトランジスタのチャネル形成領域を、フローティングにして共用することによって、互いのしきい値電圧を精度よくそろえることができるとともに、分離絶縁膜下の半導体基板表面に、トランジスタと逆導電型の不純物層を形成して電位固定しているため、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。

【0034】次にこの発明の実施の形態1に係る半導体装置の製造方法について説明する。図8～図13は、実施の形態1を示す半導体装置の製造方法の一工程を示す断面図である。図を参照して、半導体基板1の表面上に

埋込酸化膜2および半導体層3を備えたSOI基板の表面上からnMOSの場合はボロンなどのp型の不純物、pMOSの場合はリンなどのn型の不純物をイオン注入して、半導体基板1が埋込酸化膜2に接する部分に不純物層12を形成する。図8はこの工程が終わった段階の半導体装置を示す断面図である。この時の注入条件は埋込酸化膜2の膜厚によって異なり、ボロンなどのp型不純物は、埋込酸化膜厚が $0.04\mu\text{m}$ 程度の場合は $200\sim 300\text{keV}$ 、 $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度、埋込酸化膜厚が $0.4\mu\text{m}$ 程度の場合は $500\sim 600\text{keV}$ 、 $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度である。また、リンなどのn型不純物の注入条件は、埋込酸化膜厚が $0.04\mu\text{m}$ 程度の場合は $200\sim 300\text{keV}$ 、 $1\times 10^{12}\sim 1\times 10^{14}/\text{cm}^2$ 程度、埋込酸化膜厚が $0.4\mu\text{m}$ 程度の場合は $500\sim 600\text{keV}$ 、 $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度である。不純物層12の形成は、イオン注入法に限らず、プラズマドーピング法やクラスタイオンビーム法などでもかまわない。

【0035】図9において、31はシリコン酸化膜、32はシリコン窒化膜、41は溝である。図を参照して、半導体層3の表面上に $5\sim 30\text{nm}$ 程度の膜厚を有するシリコン酸化膜31と、 $100\sim 300\text{nm}$ 程度の膜厚を有するシリコン窒化膜32を形成し、フォトレジストマスク（図示せず）を用いて分離領域上のシリコン窒化膜32およびシリコン酸化膜31を異方性エッチングにより選択的に除去する。そして、フォトレジストマスクを除去した後にシリコン窒化膜32をマスクとして半導体基板1を異方性エッチングし半導体基板1の表面に、深さ $100\sim 500\text{nm}$ 程度の溝41を形成する。この溝の幅は $100\sim 500\text{nm}$ 程度である。その後、nMOSの場合はボロンなどのp型不純物、pMOSの場合はリンやヒ素などのn型不純物を $10\sim 20\text{KeV}$ 、 $5\times 10^{12}\sim 1\times 10^{13}/\text{cm}^2$ 程度で全面にイオン注入して、チャネルカット層11を形成する。図9はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【0036】不純物層12を分離領域のみに形成する場合は、チャネルカット層11の形成と同様、溝41が形成された段階で行えばよい。この時の注入条件は埋込酸化膜2の膜厚によって異なり、ボロンなどのp型不純物は、埋込酸化膜厚が $0.04\mu\text{m}$ 程度の場合は $150\sim 200\text{keV}$ 、 $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度、埋込酸化膜厚が $0.4\mu\text{m}$ 程度の場合は $450\sim 550\text{keV}$ 、 $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度である。また、リンなどのn型不純物の注入条件は、埋込酸化膜厚が $0.04\mu\text{m}$ 程度の場合は $150\sim 250\text{keV}$ 、 $1\times 10^{12}\sim 1\times 10^{14}/\text{cm}^2$ 程度、埋込酸化膜厚が $0.4\mu\text{m}$ 程度の場合は $450\sim 550\text{keV}$ 、 $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ 程度である。

【0037】次に減圧CVD法により全面にシリコン酸

化膜を300nm～800nm程度の膜厚で形成してから(図示せず)、シリコン窒化膜32をストッパーとしたCMP (Chemical Mechanical Polishing) 法によって、シリコン窒化膜32表面上のシリコン酸化膜を除去し、溝2とシリコン窒化膜32からなる開口の内部のみにシリコン酸化膜を残す。その後、熱リン酸によるウェットエッチングでシリコン窒化膜32を除去した後、シリコン酸化膜31を除去して、分離絶縁膜4が形成される。図10はこの工程が終わった段階での断面図である。チャネルカット層11や不純物層12については、この段階でイオン注入して形成してもかまわない。図11はこの段階における半導体装置の素子に含まれる不純物の濃度分布を示すグラフであり、図10に示したE-E断面における不純物濃度分布を示している。この段階で、800～1100℃程度で焼き締め工程を行うことによって、分離絶縁膜4がシリコン酸化膜で形成されている場合は、膜質を緻密にすることができるとともに、不純物層12表面の不純物濃度が上がり、抵抗を下げる。図12はこの段階における半導体装置の素子に含まれる不純物の濃度分布を示すグラフであり、図10に示したE-E断面における不純物濃度分布を示している。そして、熱酸化によるシリコン酸化膜を全面に形成してから(図示せず)、nMOSの場合はボロンや弗化ボロン、pMOSの場合リンやヒ素などの不純物を10～20KeV、 $1 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$ 程度で全面にイオン注入して、チャネル形成領域10にしきい値を調整する不純物を導入する(図示せず)。シリコン酸化膜は、イオン注入の際のダメージから、半導体基板表面を保護するためのものであり、イオン注入後に除去する。

【0038】次に、ゲート絶縁膜5として、例えば、シリコン酸化膜を7～10nm程度の膜厚で半導体基板1表面全体に熱酸化によって形成してから、ゲート電極6となるポリシリコン層を、CVD法によって150～300nm程度全面に形成した後、フォトリソマスク(図示せず)を用いた異方性エッチングによってパターンニングすることで、ゲート電極となるポリシリコン層6を形成する。そして、フォトリソマスクを用いて、nMOSの場合にはリンやヒ素、pMOSの場合にはボロンやフッ化ボロンなどを20～40keV、 $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ 程度でそれぞれイオン注入して、ソース・ドレイン領域7および81を形成する。図13はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【0039】次に、CVD法により全面にシリコン酸化膜を30～100nm程度の膜厚で堆積し、エッチバックすることによって、サイドウォール13を形成した後、nMOSの場合にはヒ素など、pMOSの場合にはボロンや弗化ボロンなどを10KeV、 $1 \sim 5 \times 10^{15} / \text{cm}^2$ 程度でイオン注入してソース・ドレイン領域7およ

び8を形成しする。ソース・ドレイン領域は必要に応じてLDD構造とするため、場合によって、ソース・ドレイン領域7および8を形成しない場合もある。注入された不純物は800～900℃程度で10～30分程度アニールすることで活性化される。また、1050℃、5～10秒程度のRTA (Rapid Thermal Anneal) 処理を行うと、不純物の拡散を抑制しつつ、活性化率を上げることができる。サイドウォール13は、シリコン酸化膜とシリコン窒化膜の積層膜でもよく、その場合は、シリコン酸化膜をRTO (Rapid Thermal Oxidation) で形成してからシリコン窒化膜をCVD法で堆積し、エッチバックして形成する。ゲート電極6やソース・ドレイン領域7および8表面に金属シリサイド層を形成する場合は、この段階で、全面にコバルトを堆積してRTA処理すると、シリコンが露出した部分で反応し、金属シリサイド層が形成される。その後、未反応のまま残ったコバルトを除去する(図示せず)。

【0040】そして、減圧CVD法によって、層間絶縁膜14となるシリコン酸化膜を200nm～600nm程度堆積してから、ソース・ドレイン領域7および71に到達するコンタクトホール15をドライエッチング法で、0.1μm～0.5μm径で開口し、その内部にCVD法によって配線材料を埋め込んだ後にパターンニングし、配線9を形成する。同様に、層間絶縁膜141を形成し、ソース・ドレイン領域8および81に到達するコンタクトホール151および配線91を形成する。このようにして図1に示した半導体装置が形成される。

【0041】ここでは図示しないが、図3に示したコンタクトホール152および配線93や、図4に示したコンタクトホール153および配線94も同様に形成する。また、図4に示したコンタクトホール154および配線95も同様に形成されるが、形成順序については、層間絶縁膜14および141を形成した後、コンタクトホール153および配線94と同時に形成してもよいし、分離絶縁膜4を形成した後やゲート電極6を形成した後など様々な段階で形成することが可能である。さらに、それぞれのコンタクトホールおよび配線の形成は、必要に応じて別の工程で行ってもよく、その形成順序も必要に応じて変更可能である。また、さらに異なる層間絶縁膜と配線が上層に形成され、多層配線となる場合もある。配線材料としては、不純物が導入されたポリシリコンや金属などがあるが、金属が使われる場合は、各コンタクトホールの内壁に、TiNなどのバリアメタルを形成して、半導体層3へ金属が拡散するのを防止する。

【0042】この実施の形態1に示した半導体装置の製造方法によれば、半導体基板1、埋込酸化膜2および半導体層3からなるSOI構造の半導体装置の半導体基板1表面に不純物層12を形成することができるため、この不純物層12の電位を固定することによって、パーシ

10

20

30

40

50

シャルSTI構造の分離絶縁膜を介して半導体層3表面に形成された同一導電型を有するトランジスタのソース・ドレイン領域間で電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置の製造方法を得ることができる。また、不純物層12を分離領域のみでなく、活性領域下にまで形成することができるため、ソース・ドレイン領域形成の際にイオン注入された不純物が、埋込酸化膜2を突き抜けて半導体基板1にまで達しても、不純物層12に取り込んで、回路誤動作の原因になる恐れがなく、信頼性の向上した半導体装置の製造方法を得ることができる。

【0043】実施の形態2。図14はこの発明の実施の形態2に係る半導体装置の断面図であり、図2に示したA-A断面における断面図である。図において121は不純物層である。図を参照して、ソース・ドレイン領域71および81は、埋込酸化膜2に到達しておらず、不純物層121は、ソース・ドレイン領域と同一導電型の不純物によって形成されている。すなわち、半導体層3表面にnMOSTランジスタが隣接して形成されている場合、不純物層121は、リンなどのn型の不純物を $1 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^2$ 程度含み、pMOSTランジスタが隣接して形成されている場合、不純物層121は、ボロンなどのp型の不純物を $1 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^3$ 程度含んでいる。これ以外の膜厚および不純物濃度・不純物種については、実施の形態1に示した半導体装置と同様である。この実施の形態においては、実施の形態1と比較して、ソース・ドレイン領域71および81とチャネル形成領域10の接合部分の面積が増加するため、接合容量が増加してしまうが、チャネル形成領域10とチャネルカット層11の接合面の面積が増加するため、チャネル形成領域10の電位固定がより確実になるという利点を有する。

【0044】次に動作について説明する。図14を参照して、例えばnMOSTランジスタの場合、各電極に印加する電圧は、 $V_g = 0 \sim 1.8 \text{ V}$ 、 $V_D = 0 \sim 1.8 \text{ V}$ 、 $V_S = 0 \text{ V}$ 程度であり、ゲート電極5下のチャネル形成領域10表面にチャネルが形成され、ソース・ドレイン領域7および71、またはソース・ドレイン領域8および81の一方がソース領域、他方がドレイン領域となり、回路として動作する。この時、チャネル形成領域10には0Vが印加されており、半導体基板1に印加される電圧 $V_B$ は、不純物層121と半導体基板1の間に逆バイアスがかかる条件であればよい。これらの電圧は一例であり、ゲート絶縁膜厚やゲート長によって変動するものである。

【0045】図15は、この発明の実施の形態2に係る半導体装置のリーク電流を示すグラフであり、図14に示した半導体装置において、半導体層3の膜厚を $0.15 \mu\text{m}$ 、埋込酸化膜2の厚さを $40 \text{ nm}$ 、分離絶縁膜4

の幅を $0.2 \mu\text{m}$ としてシミュレーションしたものである。このグラフにおいては、分離絶縁膜4を介して隣接するトランジスタのソース・ドレイン領域7および71と、8および81との間に発生する電位差を横軸、この間に発生したリーク電流を縦軸に取ったものである。図中、○は不純物層121が形成されていない場合、□は不純物層121に $-1 \text{ V}$ を印加した場合、△は不純物層121に $1 \text{ V}$ を印加した場合をそれぞれ表している。この図から、不純物層121を形成することによって、リーク電流が著しく減少していることがわかる。

【0046】この実施の形態においては、不純物層121が全面に形成された図によって説明を行ったが、不純物層121は、素子分離としてパーシャルSTIが用いられている部分の下部だけに形成されていれば、分離特性を向上させることができる。さらに、配線の配置、トランジスタとの間に形成される層間絶縁膜の層数、一つの活性領域に形成されるトランジスタの個数などは一例であり、これに限られるものではない。

【0047】また、図16は、この発明の実施の形態2に係る半導体装置のリーク電流を示すグラフであり、pMOSTランジスタが隣接する部分でのリーク電流を示すものである。pMOSTの場合もnMOSTの場合と同様であり、p型のソース・ドレイン領域7、71および8、81がパーシャルSTIを介して隣接している部分で、回路配置によって電位差が生まれる部分にはすべて適用できる。pMOSTランジスタの場合は、半導体基板1を除く各不純物領域の導電型がnMOSTの場合と逆になり、印加する電圧もそれぞれ、 $V_g = 0 \sim 1.8 \text{ V}$ 、 $V_D = 0 \sim 1.8 \text{ V}$ 、 $V_S = 1.8 \text{ V}$ 、チャネル形成領域10には $1.8 \text{ V}$ 程度となるが、ゲート電極6のポリシリコンに含まれる不純物についてはn型の場合もある。ここでは、図14に示した半導体装置において、半導体層3の膜厚を $0.15 \mu\text{m}$ 、埋込酸化膜2の厚さを $40 \text{ nm}$ 、分離絶縁膜4の幅を $0.2 \mu\text{m}$ としてシミュレーションしたものである。このグラフにおいては、分離絶縁膜4を介して隣接するトランジスタのソース・ドレイン領域7および71と、8および81との間に発生する電位差を横軸、この間に発生したリーク電流を縦軸に取ったものである。図中、○は不純物層121が形成されていない場合、□は不純物層121に $0.3 \text{ V}$ を印加した場合、△は不純物層121に $-0.3 \text{ V}$ を印加した場合をそれぞれ表している。この図から、不純物層121を形成することによって、リーク電流が著しく減少し、耐圧も向上していることがわかる。

【0048】この実施の形態2に係る半導体装置によれば、埋込酸化膜上に形成され、同一導電型を有する複数のトランジスタのソース・ドレイン領域が埋込酸化膜まで到達していない構造において、トランジスタを互いに分離するパーシャルSTI構造の分離絶縁膜下の半導体基板表面に、トランジスタと同一導電型の不純物層を形

成して電位固定しているため、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。さらに不純物層121に電圧を印加することによって、ソース・ドレイン領域71および81とその下の半導体層3との間の電界が緩和されるため、BTBT (Band to Band Tunneling) やトラップアシステッド

ドネリング (Trap Assisted Tunneling: TAT)、SRH (Shockley-Read-Hall) 過程、インバクティオン化等によるリーク電流が減少し、消費電力を低減させることができる。また、不純物層121が分離絶縁膜下のみでなく、ソース・ドレイン領域71および81下まで延びて形成されている場合は、ソース・ドレイン領域形成の際に注入された不純物が、埋込酸化膜2を突き抜けて半導体基板1にまで達しても、不純物層121に取り込まれてしまうため、回路誤動作の原因になる恐れがなく、半導体装置の信頼性が向上するという効果を奏する。

【0049】また、センスアンプ (交差結合型アンプ) などとして使用されるトランジスタの場合は、実施の形態1と同様に、隣接するトランジスタのチャネル形成領域をフローティングにして共用してもよい。図17は、この発明の実施の形態2に係る半導体装置のリーク電流を示すグラフであり、図14に示した半導体装置において、nMOSトランジスタが隣接している場合に、半導体層3の膜厚を0.15 $\mu\text{m}$ 、埋込酸化膜2の厚さを40nm、分離絶縁膜4の幅を0.2 $\mu\text{m}$ としてシミュレーションしたものであり、チャネル形成領域10には電圧が印加されていない。このグラフにおいては、分離絶縁膜4を介して隣接するトランジスタのソース・ドレイン領域7および71と、8および81との間に発生する電位差を横軸、この間に発生したリーク電流を縦軸に取ったものである。図中、○は不純物層121が形成されていない場合、△は不純物層121に1Vを印加した場合、□は不純物層121に-1Vを印加した場合をそれぞれ表している。この図から、不純物層121を形成して半導体基板と逆バイアスになる電圧を印加することによって、リーク電流が著しく減少し、耐圧も向上していることがわかる。

【0050】上記したように、埋込酸化膜上に形成され、同一導電型を有する複数のトランジスタを互いに分離するパーシャルSTI構造の分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域が埋込酸化膜まで到達していない構造で、チャネル形成領域をフローティングにして共用することによって、互いのしきい値電圧を精度よくそろえることができるとともに、分離絶縁膜下の半導体基板表面に、トランジスタと同一導電型の不純物層を形成して電位固定しているため、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領

域間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。

【0051】次にこの発明の実施の形態2に係る半導体装置の製造方法について説明する。図18は、この発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。まず、半導体基板1の表面上に埋込酸化膜2および半導体層3を備えたSOI基板の表面上から、nMOSを形成する場合はリンなどのn型の不純物、pMOSを形成する場合はボロンなどのp型の不純物を注入して、半導体基板1が埋込酸化膜2に接する部分に不純物層121を形成する。図18はこの工程が終わった段階の半導体装置を示す断面図である。この時の注入条件は埋込酸化膜2の膜厚によって異なり、ボロンなどのp型不純物は、埋込酸化膜厚が0.04 $\mu\text{m}$ 程度の場合は200~300keV、 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 程度、埋込酸化膜厚が0.4 $\mu\text{m}$ 程度の場合は500~600keV、 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 程度である。また、リンなどのn型不純物の注入条件は、埋込酸化膜厚が0.04 $\mu\text{m}$ 程度の場合は200~300keV、 $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 程度、埋込酸化膜厚が0.4 $\mu\text{m}$ 程度の場合は500~600keV、 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 程度である。

【0052】次に、実施の形態1と同様にして、チャネルカット層11、分離絶縁膜4を形成し、チャネル形成領域10にしきい値を調整する不純物 (図示せず) を導入する。そして、実施の形態1と同様にして、ゲート絶縁膜5、ゲート電極6を形成してから、必要に応じて、nMOSの場合にはリンやヒ素、pMOSの場合にはボロンやフッ化ボロンなどを10~30keV、 $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ 程度でそれぞれイオン注入して、ソース・ドレイン領域71および81を形成する。さらにソース・ドレイン領域を取り囲む逆導電型の不純物領域 (ポケット層、図示せず) を形成する場合は、ここで、nMOSの場合はボロン、pMOSの場合はリンなどの不純物を10KeV、 $1 \times 10^{12} \sim 1 \times 10^{13} / \text{cm}^2$ 程度でイオン注入する (図示せず)。その後、サイドウォール13を形成してから、nMOSの場合にはヒ素など、pMOSの場合はボロンや弗化ボロンなどを10KeV、 $1 \sim 5 \times 10^{15} / \text{cm}^2$ 程度でイオン注入してソース・ドレイン領域7および8を形成する。そして、実施の形態1と同様にして、層間絶縁膜14および141、コンタクトホール15および151~154、配線9および91~95を形成する。

【0053】この実施の形態2に示した半導体装置の製造方法によれば、半導体基板1、埋込酸化膜2および半導体層3からなるSOI構造の半導体装置の半導体基板1表面に不純物層121を形成することができ、さらに

半導体層3の表面に不純物層121と同一導電型のソース・ドレイン領域を有するトランジスタを形成することができるので、この不純物層121の電位を固定することによって、パーシャルSTI構造の分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間で電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置の製造方法を得ることができる。また、不純物層121を分離領域のみでなく、活性領域下にまで形成することができるため、ソース・ドレイン領域形成の際にイオン注入された不純物が、埋込酸化膜2を突き抜けて半導体基板1にまで達しても、不純物層121に取り込んで、回路誤動作の原因になる恐れがなく、信頼性の向上した半導体装置の製造方法を得ることができる。

【0054】実施の形態3。図19はこの発明の実施の形態3を示す半導体装置の断面図であり、図において72〜75および82〜85はソース・ドレイン領域、120および130はチャネル形成領域、113および114はチャネルカット層、122は不純物層である。この実施の形態は、分離絶縁膜4（パーシャルSTI）を介して隣接するトランジスタの一方がnMOS、他方がpMOSの場合を示すものである。また、埋込酸化膜厚が0.04 $\mu$ m〜0.4 $\mu$ m程度の場合、不純物層122の膜厚は実施の形態1、2と同様で、リンなどのn型不純物を $5 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^3$ 程度含んでおり、チャネルカット層113はリンなどのn型不純物を $1 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^3$ 程度含み、チャネルカット層114は、ボロンなどのp型不純物を $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ 程度含んでいる。また、チャネル形成領域120はリンなどのn型不純物を $5 \times 10^{17} \sim 2 \times 10^{18} / \text{cm}^3$ 程度含み、チャネル形成領域130はボロンなどのp型不純物を $5 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ 程度含んでいる。ソース・ドレイン領域およびゲート電極は、それぞれ実施の形態1と同様である。

【0055】図20はこの発明の実施の形態3を示す半導体装置の上面図であり、図19は図20に示したF-F断面における断面図である。図20を参照して、チャネルカット層113は、pMOS領域の分離絶縁膜4下に形成され、チャネルカット層114は、nMOS領域の分離絶縁膜4下に形成される。そして、不純物層122の電位を固定するための配線94は、pMOS領域とnMOS領域共通で少なくとも一つ形成されていればよい。また、チャネル形成領域120および130は、図3に示した実施の形態1の構造と同様にして、それぞれのチャネルカット層113および114を介して、それぞれの導電型の不純物領域111に接続する配線を通して、電位が固定されている。

【0056】次に動作について説明する。図19を参照して、各電極に印加する電圧は、例えば、nMOSで

は、 $V_G = 1.8 \text{ V}$ 、 $V_D = 1.8 \text{ V}$ 、 $V_S = 0 \text{ V}$ 、チャネル形成領域130は0V程度の電圧が印加されることによって、チャネルが形成されて動作する。また、pMOSでは、 $V_G = 0 \sim 1.8 \text{ V}$ 、 $V_D = 0 \sim 1.8 \text{ V}$ 、 $V_S = 1.8 \text{ V}$ 、チャネル形成領域120には1.8V程度の電圧が印加されることによってチャネルが形成されて電流が流れる。また、チャネルカット層113には1.8V、チャネルカット層114には0V、不純物層122には4V程度がそれぞれ印加されている。これらの電圧については、必要に応じて、昇圧または降圧されたものであってもよい。これらの電圧は一例であり、ゲート絶縁膜厚やゲート長によって変動するものである。

【0057】図21は、この発明の実施の形態3に係る半導体装置のリーク電流を示すグラフであり、図19に示した半導体装置において、半導体層3の膜厚を0.15 $\mu$ m、埋込酸化膜2の厚さを0.4 $\mu$ m、分離絶縁膜4の幅を0.2 $\mu$ mとしてシミュレーションしたものである。このグラフにおいては、分離絶縁膜4を介して隣接するトランジスタのソース・ドレイン領域74および75と、82および83との間に発生する電位差を横軸、この間に発生したリーク電流を縦軸に取ったものである。図中、○は不純物層122が形成されていない場合、△は不純物層122に4Vを印加した場合をそれぞれ表している。この図から、不純物層122を形成することによって、リーク電流が著しく減少し、耐圧も向上していることがわかる。

【0058】この実施の形態においては、不純物層122が全面に形成された図によって説明を行ったが、不純物層122は、素子分離としてパーシャルSTIが用いられている部分の下部だけに形成されていれば、分離特性を向上させることができる。また、ここでは、nMOSトランジスタとpMOSトランジスタが隣接する部分の一例について説明を行ったが、例えば、ダイオードなどでも同様であり、二つのトランジスタの逆導電型の不純物領域がパーシャルSTI構造の分離絶縁膜を介して隣接している部分で、回路配置によって電位差が生れる部分にはすべて適用できる。図22はこの発明の実施の形態3に係る別の半導体装置を示す断面図であり、図において、76はn型不純物領域、86はp型不純物領域、51は絶縁膜、52はバリアメタル、96および97は配線である。図を参照して、ダイオードが隣接して形成されている場合は、チャネルカット層113に隣接してp型不純物領域84が形成され、チャネルカット層114に隣接してn型不純物領域74が形成され、それぞれの不純物領域がバリアメタル52を介して接続する配線96および97によって制御される。さらに、実施の形態1と同様、配線については、回路の構成によって、トランジスタとの間に形成される層間絶縁膜の層数、配置などは異なるものであり、また、一つの活性領域に一つのトランジスタが形成された半導体装置を用い

て説明を行っているが、特にこれに限られるものではない。

【0059】この実施の形態3に示した半導体装置によれば、SOI構造において、パーシャルSTI構造の分離絶縁膜を介してpMOSトランジスタとnMOSトランジスタが複数個ずつ形成されて、それぞれの領域でチャネル形成領域10の電位が共通に固定されている場合に、埋込酸化膜下の半導体基板表面に、半導体基板と逆導電型の不純物層を形成するとともに、nMOSトランジスタとpMOSトランジスタが隣接する部分では、分離絶縁膜の下にp型およびn型のチャネルカット層を、トランジスタの不純物領域との関係がpnpnとなるように配置して、電位を固定しているため、パーシャルSTI構造の分離絶縁膜を介して隣接するトランジスタの逆導電型の不純物領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制するとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。さらに、pMOSトランジスタとnMOSトランジスタが隣接して形成されている場合、不純物層122が分離絶縁膜下のみでなく、ソース・ドレイン領域73、74、83および84下まで延びて形成されている場合は、ソース・ドレイン領域形成の際に注入された不純物が、埋込酸化膜2を突き抜けて半導体基板1にまで達しても、不純物層122に取り込まれてしまうため、回路誤動作の原因になる恐れがなく、半導体装置の信頼性が向上するという効果を奏する。

【0060】次にこの発明の実施の形態3に係る半導体装置の製造方法について説明する。図23および図24は、実施の形態3を示す半導体装置の製造方法の一工程を示す断面図であり、図23において、301はフォトレジストマスクである。まず、実施の形態1と同様にして、半導体基板1の表面上に埋込酸化膜2および半導体層3を備えたSOI基板の表面上からリンなどのn型の不純物をイオン注入して、半導体基板1が埋込酸化膜2に接する部分に不純物層122を形成する。次に実施の形態1と同様にして、分離領域に分離絶縁膜4を形成してから、pMOS領域の分離絶縁膜上に開口を有するフォトレジストマスク301を形成し、リンなどのn型不純物を110～130KeV、 $1 \times 10^{13} \sim 5 \times 10^{13} / \text{cm}^2$ 程度で全面にイオン注入して、チャネルカット層113を形成する。図23はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【0061】図24は、実施の形態3を示す半導体装置の製造方法の一工程を示す断面図であり、図において、302はフォトレジストマスクである。図を参照して、フォトレジストマスク301を除去してから、nMOS領域の分離絶縁膜上に開口を有するフォトレジストマスク302を形成し、ボロンなどのp型不純物を30～50KeV、 $5 \times 10^{12} \sim 1 \times 10^{13} / \text{cm}^2$ 程度で全面

にイオン注入して、チャネルカット層114を形成する。図24はこの工程が終わった段階での半導体装置の素子を示す断面図である。実施の形態1においては、分離絶縁膜4の形成に先立ってチャネルカット層11の形成を行ったが、この実施の形態3においては、分離絶縁膜4を形成してからチャネルカット層を形成する。

【0062】そして、実施の形態1と同様にして、熱酸化によるシリコン酸化膜を全面に形成してから（図示せず）、pMOS領域に開口を有するフォトレジストマスクを形成して（図示せず）、リンやヒ素などのn型不純物を10～20KeV、 $1 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$ 程度で全面にイオン注入して、チャネル形成領域120にしきい値電圧を調整する不純物を導入し、このフォトレジストマスクを除去する（図示せず）。その後、nMOS領域に開口を有するフォトレジストマスクを形成して（図示せず）、ボロンや弗化ボロンなどのp型不純物を10～20KeV、 $1 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$ 程度で全面にイオン注入して、チャネル形成領域130にしきい値を調整する不純物を導入し、このフォトレジストマスクを除去する（図示せず）。

【0063】次に実施の形態1と同様にして、ゲート絶縁膜5、ゲート電極6、pMOS領域のソース・ドレイン領域72、73、82および83、nMOS領域のソース・ドレイン領域74、75、84および85、サイドウォール13、層間絶縁膜14および141、コンタクトホール15および151、配線9および91を形成する。このようにして図19に示した半導体装置が形成される。この図に示していないコンタクトホールや配線も含めて、それぞれのコンタクトホールおよび配線は、実施の形態1と同様、形成順序を必要に応じて変更することが可能であり、さらに異なる層間絶縁膜と配線が上層に形成され、多層配線となる場合もある。

【0064】この実施の形態3に示した半導体装置の製造方法によれば、半導体基板1、埋込酸化膜2および半導体層3からなるSOI構造の半導体装置の半導体基板1表面に不純物層122を形成することができるとともに、複数個形成されたpMOSトランジスタ同士を分離する分離絶縁膜下にはn型のチャネルカット層を形成することができ、pMOSトランジスタ同士を分離する分離絶縁膜下にはp型およびn型のチャネルカット層を、トランジスタの不純物領域との関係がpnpnとなるように形成することができる。そして、この不純物層122およびp型、n型のチャネルカット層の電位をそれぞれ固定することによって、pMOSトランジスタおよびnMOSトランジスタのチャネル形成領域10の電位をそれぞれに共通で固定しつつ、パーシャルSTI構造の分離絶縁膜を介して隣接するpMOSトランジスタとnMOSトランジスタのソース・ドレイン領



域間に電位差が発生しても、この部分でのリーク電流の発生を抑制するとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置の製造方法を得ることができる。さらに、pMOSトランジスタとnMOSトランジスタが隣接して形成されている場合、不純物層122を分離領域のみでなく、活性領域下にまで形成することができるため、ソース・ドレイン領域形成の際にイオン注入された不純物が、埋込酸化膜2を突き抜けて半導体基板1にまで達しても、不純物層122に取り込んで電圧を印加しているため、回路誤動作の原因になる恐れがなく、信頼性の向上した半導体装置の製造方法を得ることができる。

【0065】実施の形態4. 図25はこの発明の実施の形態4に係る半導体装置の平面図である。図を参照して、この実施の形態4に係る半導体装置においては、一つの半導体チップ上に異なる複数種の機能ブロックが形成されて、高集積化および高速化が図られている。そして、このようにDRAMとマイクロプロセッサ(Micro Processor)などの制御回路が形成されているものは特に、混載DRAMと呼ばれている。次にそれぞれの機能ブロックの働きについて説明する。入出力部(I/O)部を介して外部から取り込まれたデータは、マイクロプロセッサ部によって制御され、DSP(Digital Signal Processing)部で、高速処理が行われたり、DRAM部で記憶またはされDRAM部から読み出されたりする。この時、第1キャッシュアレイ(First Cache Array)部は、DRAM部から取り出したデジタルデータをマイクロプロセッサ部へ同期させて渡したり、マイクロプロセッサ部で処理を終えたデータをDRAM部へ同期させて渡す働きをする。そして、第2キャッシュアレイ(Second Cache Array)部は、DSP部、第1キャッシュアレイ部、マイクロプロセッサ部、入出力部間のデータのやりとりを各ブロックに同期させて仲介している。

【0066】それぞれの機能ブロックで、チャンネル形成領域の電位を共通に固定する必要がある部分には、機能に応じて実施の形態1ないし3に記載したトランジスタと、それに応じた不純物層を備えており、ソース・ドレイン領域の構造や不純物層の導電型および印加される電圧については、同一である必要はない。ここでは、機能ブロックの一例を示したが、この組み合わせだけに限られるものではなく、また、記載した機能ブロックの中の一つだけあるいは、一部だけに、実施の形態1ないし3に示したトランジスタと、それに応じた不純物層を備えている場合もあるし、機能ブロックのすべてについて、実施の形態1ないし3に示したトランジスタと、それに応じた不純物層を備えている場合もある。

【0067】この実施の形態4に係る半導体装置によれば、複数の機能ブロックが形成された半導体装置において、機能ブロックの中で、チャンネル形成領域の電位を共通に固定する必要がある部分には、パーシャルSTIで

分離された第1および第2の能動素子が、必要とされる機能に応じて形成され、それに合わせた不純物層の導電型および印加する電圧を決定することができるため、微細化を図るとともに、リーク電流が抑制され、分離耐圧が向上した機能ブロックを備えた半導体装置を得ることができる。

【0068】

【発明の効果】本発明は、以上説明したように構成されているので、以下のような効果を奏する。本発明は、分離構造としてパーシャルSTI構造を有するSOI構造の半導体装置において、半導体基板表面に不純物層を形成しているため、分離絶縁膜を介して隣接するトランジスタ間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができるという効果を奏する。

【0069】さらに、パーシャルSTI構造の分離絶縁膜を介して隣接するMOS型トランジスタが同一導電型を有し、そのソース・ドレイン領域が埋込酸化膜まで到達するように形成されている場合には、分離絶縁膜下のチャンネルカット層の電位を固定するとともに、半導体基板表面の不純物層をトランジスタと逆導電型で形成して電位固定しているため、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。

【0070】また、パーシャルSTI構造の分離絶縁膜を介して隣接するソース・ドレイン領域が埋込酸化膜まで到達するように形成された同一導電型のMOS型トランジスタにおいて、分離絶縁膜下のチャンネルカット層の電位を固定せずに、隣接するトランジスタのチャンネル形成領域をフローティングにして共用することによって、互いのしきい値電圧を精度よくそろえることができるとともに、分離絶縁膜下の半導体基板表面に、トランジスタと逆導電型の不純物層を形成して電位固定しているため、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。

【0071】また、パーシャルSTI構造の分離絶縁膜を介して隣接するMOS型トランジスタが同一導電型を有し、そのソース・ドレイン領域が埋込酸化膜まで到達しないように形成されている場合には、半導体基板表面の不純物層をトランジスタのソース・ドレイン領域と同一導電型で形成し、半導体基板に対して逆バイアスである電圧を印加することによって、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間に電位差

が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。

【0072】また、SOI構造において、パーシャルSTI構造の分離絶縁膜を介して形成されたトランジスタの不純物領域が逆導電型の場合に、埋込酸化膜下の半導体基板表面に、半導体基板と逆導電型の不純物層を形成するとともに、分離絶縁膜の下にp型およびn型のチャネルカット層を、トランジスタの不純物領域との関係がpnpnとなるように配置して、電位を固定しているため、分離絶縁膜を介して隣接するトランジスタの逆導電型の不純物領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制するとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。

【0073】また、SOI構造において、パーシャルSTI構造の分離絶縁膜を介してダイオードが形成されて、分離絶縁膜を介して隣接する不純物領域が逆導電型の場合に、埋込酸化膜下の半導体基板表面に、半導体基板と逆導電型の不純物層を形成するとともに、分離絶縁膜の下にp型およびn型のチャネルカット層を、ダイオードの不純物領域との関係がpnpnとなるように配置して、電位を固定しているため、分離絶縁膜を介して隣接するダイオードの逆導電型の不純物領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制するとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置を得ることができる。

【0074】さらに、不純物層が活性領域の下まで延びていることを特徴とするものであり、半導体基板表面に形成された不純物層によって、ソース・ドレイン領域形成の際に注入された不純物が、埋込酸化膜を突き抜けて半導体基板にまで達しても、不純物層に取り込まれて電位固定されるため、回路誤動作の原因になる恐れがなく、半導体装置の信頼性が向上するという効果を奏する。

【0075】加えて、複数の機能ブロックが形成された半導体装置において、機能ブロックの中で、チャネル形成領域の電位を共通に固定する必要がある部分には、パーシャルSTIで分離されたトランジスタが、必要とされる機能に応じて形成され、それに合わせた不純物層の導電型および印加する電圧を決定することができるため、微細化を図るとともに、リーク電流が抑制され、分離耐圧の向上した機能ブロックを備えた半導体装置を得ることができる。

【0076】また、SOI構造の半導体装置の半導体基板表面に不純物層を形成し、この不純物層の電位を固定する配線を形成しているため、パーシャルSTI構造の分離絶縁膜を介して半導体層表面に形成されたトランジスタの不純物領域間で電位差が発生しても、この部分で

のリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置の製造方法を得ることができる。さらに、不純物層を分離領域のみでなく、活性領域下にまで形成することができるため、不純物領域形成の際にイオン注入された不純物が、埋込酸化膜を突き抜けて半導体基板にまで達しても、不純物層に取り込んでしまうため、回路誤動作の原因になる恐れがなく、信頼性の向上した半導体装置の製造方法を得ることができる。

【0077】さらに、分離絶縁膜下の半導体層に半導体層よりも高濃度の不純物をイオン注入してチャネルカット層を形成しているため、分離特性がより一層向上した半導体装置を得ることができる。

【0078】また、pMOSトランジスタとnMOSトランジスタがSTI構造の分離絶縁膜を介して隣接している場合には、それぞれのソース・ドレイン領域の一方と、分離絶縁膜下に形成されたチャネルカット層がpnpnとなるように配設することができ、この不純物層およびp型、n型のチャネルカット層の電位をそれぞれ固定することによって、分離絶縁膜を介して隣接するトランジスタのソース・ドレイン領域間に電位差が発生しても、この部分でのリーク電流の発生を抑制するとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置の製造方法を得ることができる。

【0079】また、SOI構造の半導体装置の半導体基板表面に不純物層を形成し、この不純物層の電位を固定する配線を形成しているため、パーシャルSTI構造の分離絶縁膜を介して半導体層表面に形成されたトランジスタの不純物領域間で電位差が発生しても、この部分でのリーク電流の発生を抑制することができるとともに、耐圧を高くすることができ、微細化されても分離特性が向上した半導体装置の製造方法を得ることができる。

【0080】さらに、分離絶縁膜下の半導体層に半導体層よりも高濃度の不純物をイオン注入してチャネルカット層を形成しているため、分離特性がより一層向上した半導体装置を得ることができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置を示す断面図である。

【図2】 本発明の実施の形態1に係る半導体装置を示す上面図である。

【図3】 本発明の実施の形態1に係る半導体装置を示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置を示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置に含まれる不純物の濃度分布を示すグラフである。

【図6】 本発明の実施の形態1に係る半導体装置のリーク電流を示すグラフである。



【図7】 本発明の実施の形態1に係る半導体装置のリーク電流を示すグラフである。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図9】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図10】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図11】 本発明の実施の形態1に係る半導体装置の製造方法の一工程における半導体装置の素子に含まれる不純物の濃度分布を示すグラフである。

【図12】 本発明の実施の形態1に係る半導体装置の製造方法の一工程における半導体装置の素子に含まれる不純物の濃度分布を示すグラフである。

【図13】 本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。

【図14】 本発明の実施の形態2に係る半導体装置を示す断面図である。

【図15】 本発明の実施の形態2に係る半導体装置のリーク電流を示すグラフである。

【図16】 本発明の実施の形態2に係る半導体装置のリーク電流を示すグラフである。

【図17】 本発明の実施の形態2に係る半導体装置のリーク電流を示すグラフである。

【図18】 本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。

【図19】 本発明の実施の形態3に係る半導体装置を示す断面図である。

【図20】 本発明の実施の形態3に係る半導体装置を示す上面図である。

【図21】 本発明の実施の形態3に係る半導体装置のリーク電流を示すグラフである。

【図22】 本発明の実施の形態3に係る別の半導体装置を示す断面図である。

【図23】 本発明の実施の形態3に係る半導体装置の製造方法の一工程を示す断面図である。

【図24】 本発明の実施の形態3に係る半導体装置の製造方法の一工程を示す断面図である。

【図25】 本発明の実施の形態4に係る半導体装置を示す上面図である。

【図26】 従来の半導体装置を示す上面図である。

【図27】 従来の半導体装置を示す断面図である。

【図28】 従来の半導体装置を示す断面図である。

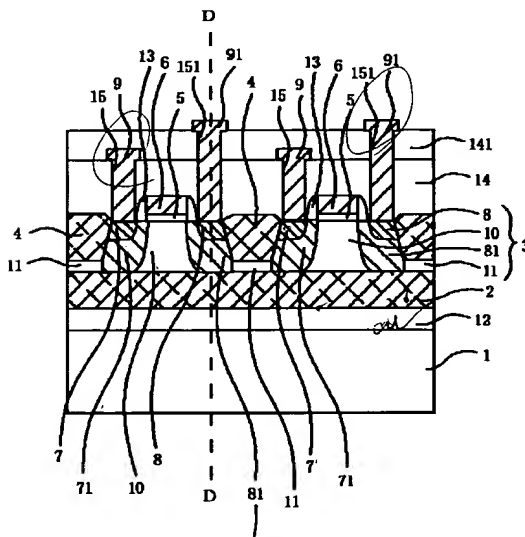
20 【符号の説明】

2 埋込酸化膜、3 半導体層、4 分離絶縁膜、

10 チャネル形成領域、11、113、114

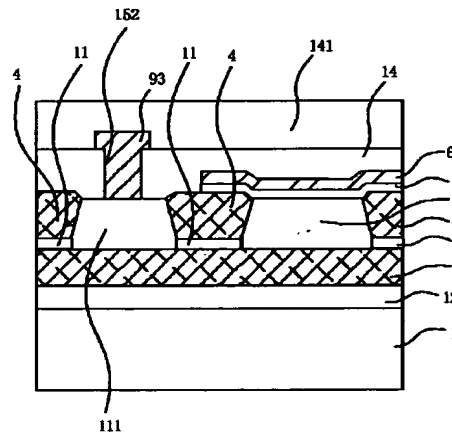
チャネルカット層、12、121、122不純物層

【図1】



1 : 半導体基板  
2 : 埋込酸化膜  
11 : チャネルカット層  
12 : 不純物層

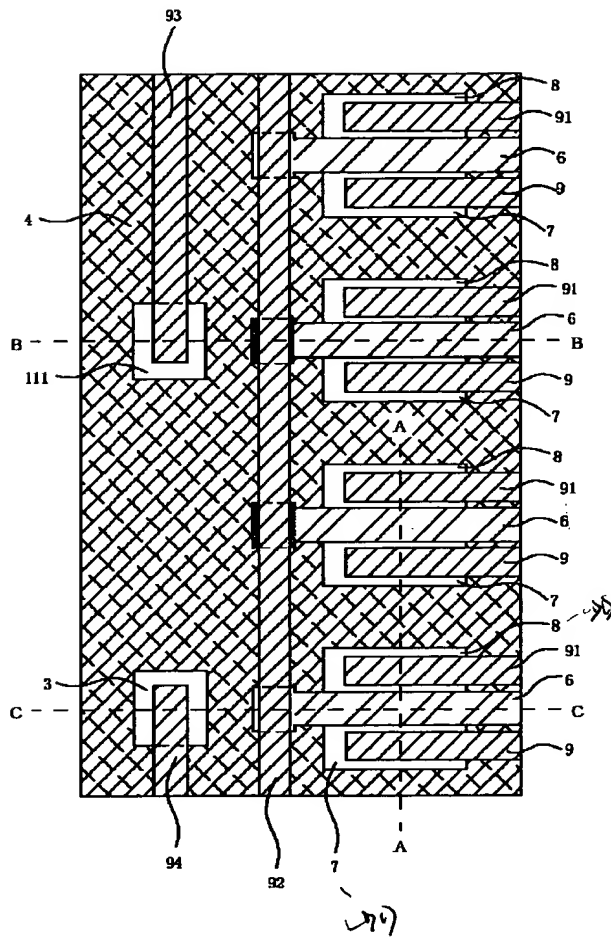
【図3】



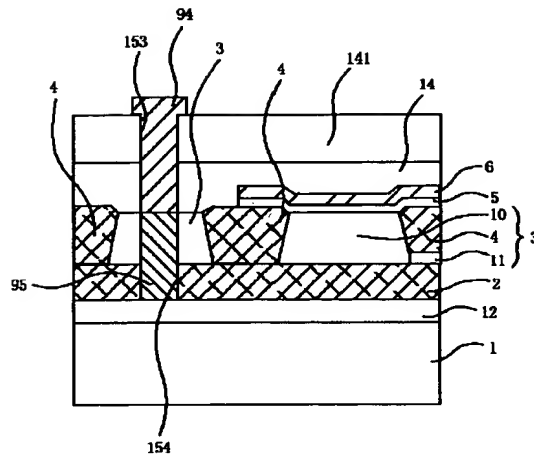
111 : 不純物領域

layer 3 = 30 - 200 nm  
0.04 - 0.4 1 cm

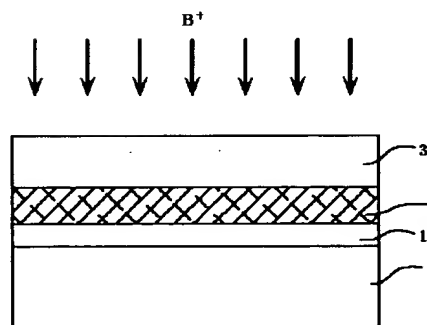
【例2】



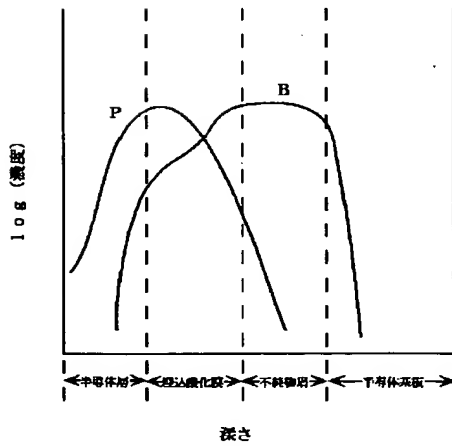
【図4】



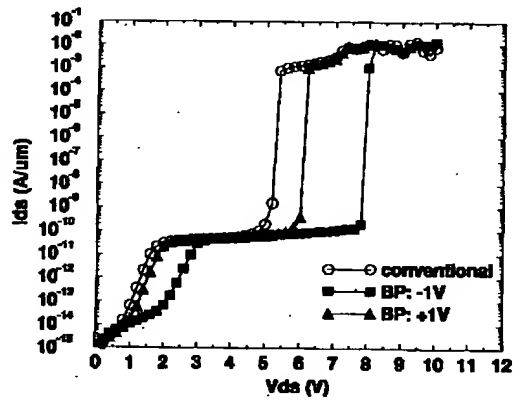
【図8】



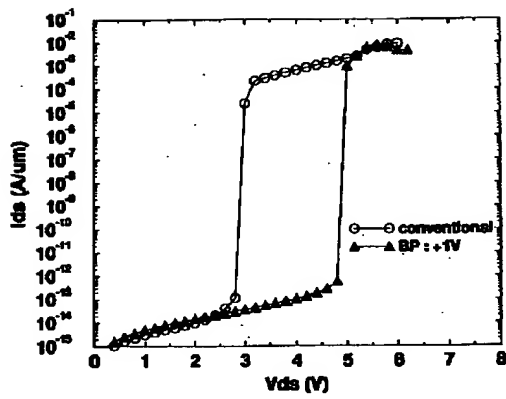
【図5】



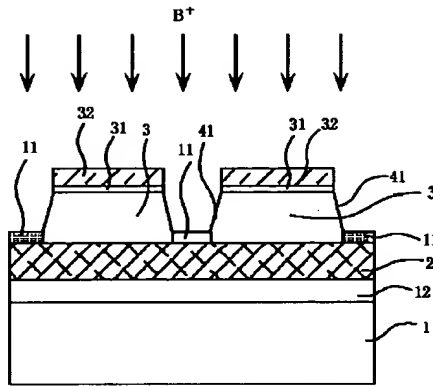
【図6】



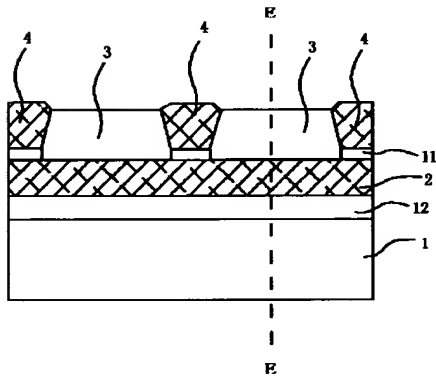
【図7】



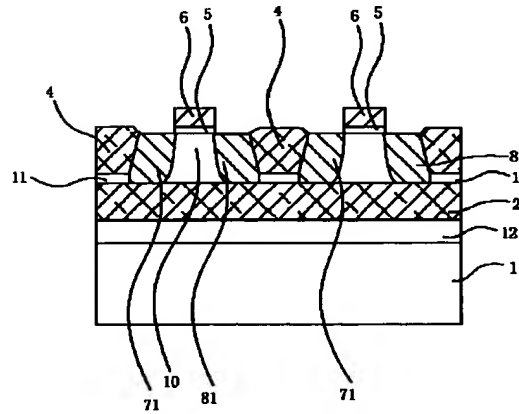
【図9】



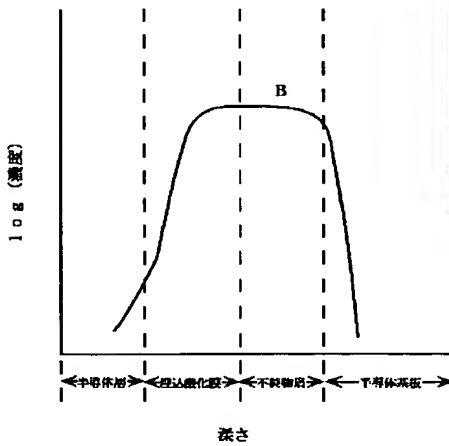
【図10】



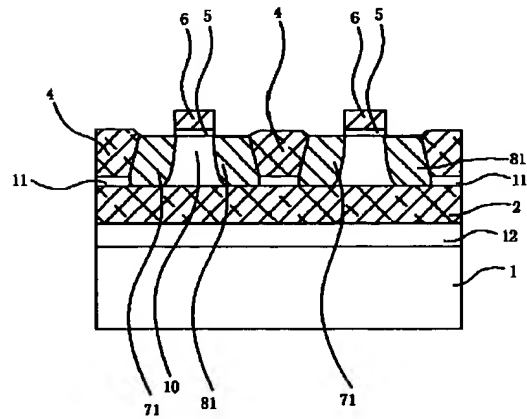
【図11】



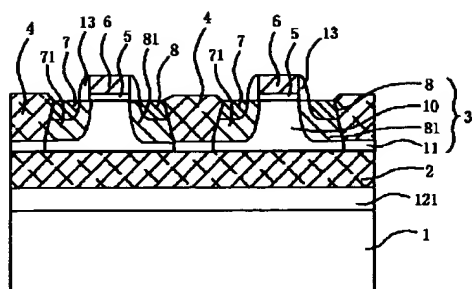
【図12】



【図13】

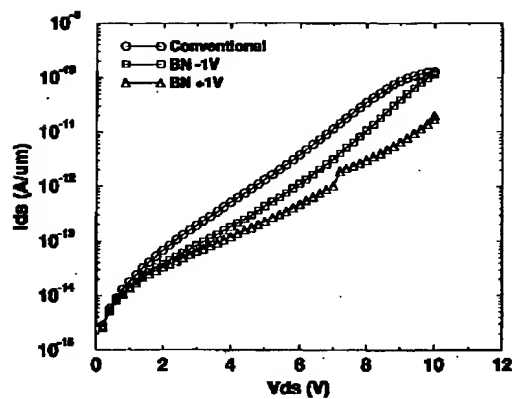


【图 14】

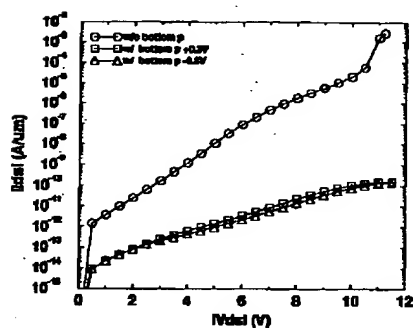


**1 2 1 : 不純物層**

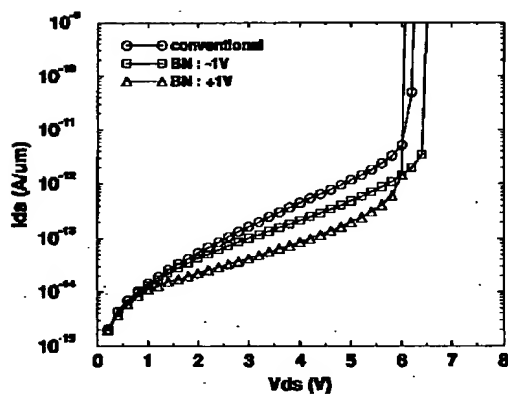
【図15】



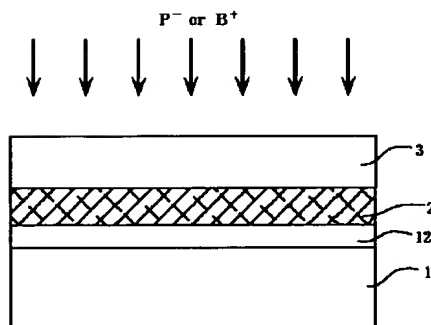
【图16】



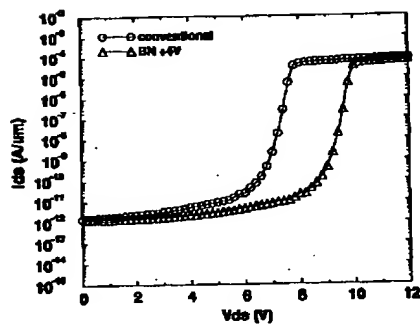
【图17】



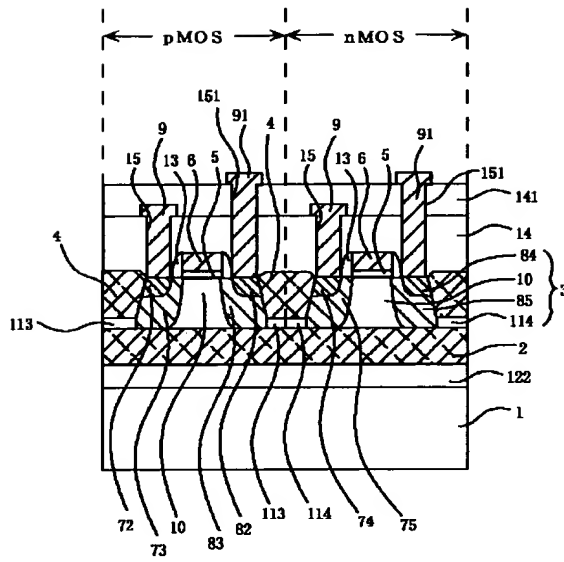
【图18】



【図21】

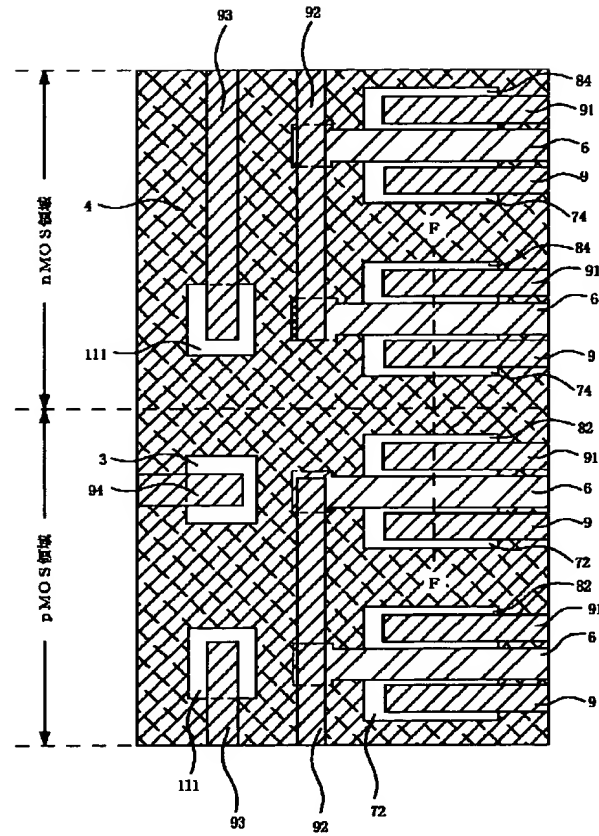


【図19】

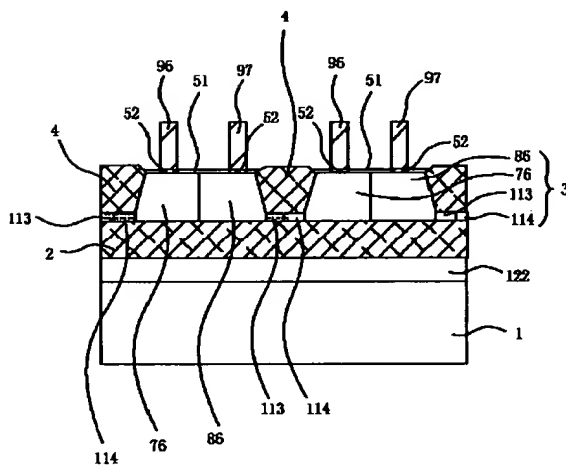


113、114:チャネルカット層  
122:不純物層

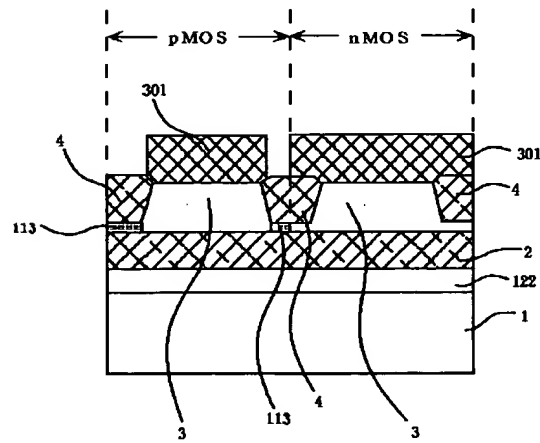
【図20】



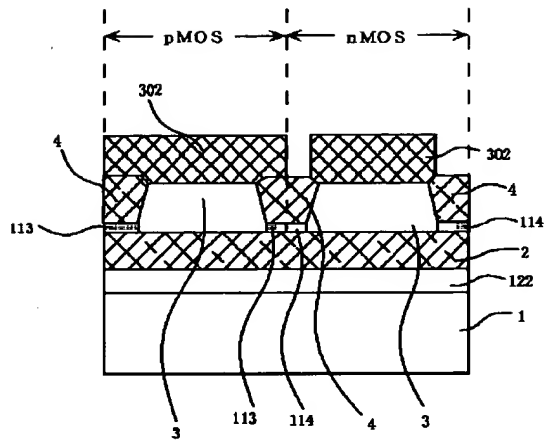
【図22】



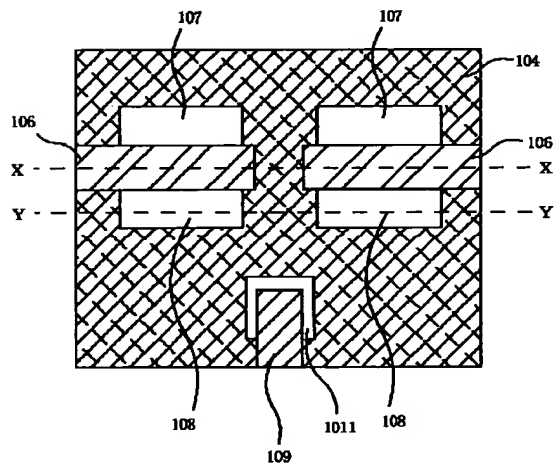
【図23】



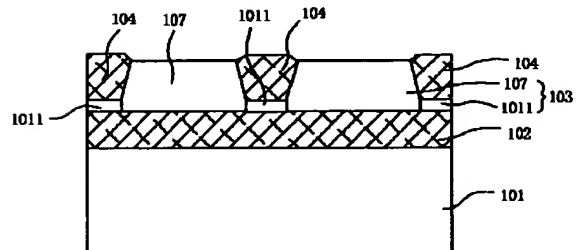
【図24】



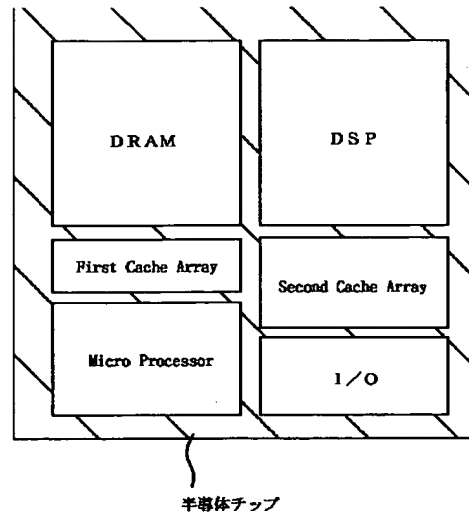
【図26】



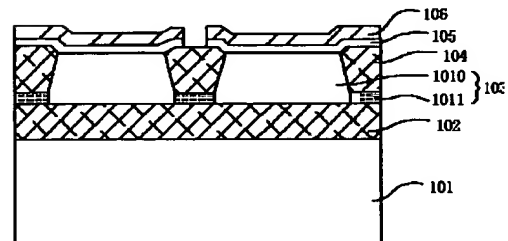
【図28】



【図25】



【図27】



## フロントページの続き

Fターム(参考) 5F032 AA09 AA28 AA32 AA35 AA44  
AA64 CA17 DA02 DA43  
5F048 AA04 AA05 AA07 AC01 AC04  
BA01 BA16 BB06 BB07 BB08  
BB09 BC06 BC11 BE08 BE09  
BG01 BG07 BG14 BG15  
5F110 AA06 AA11 AA15 BB04 CC02  
DD05 DD22 DD24 EE02 EE03  
EE04 EE05 EE09 EE14 EE32  
EE45 FF01 FF02 FF03 FF04  
FF10 FF23 GG02 GG12 GG32  
GG34 GG52 GG60 HJ01 HJ04  
HJ13 HJ23 HK05 HK40 HL01  
HL02 HL08 HL11 HM15 NN04  
NN23 NN35 NN61 QQ17